

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-206394

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵ H 01 L 27/10 29/784	識別記号 371	府内整理番号 8728-4M	F I	技術表示箇所
		7377-4M	H 01 L 29/78	301 V

審査請求 未請求 請求項の数2(全13頁)

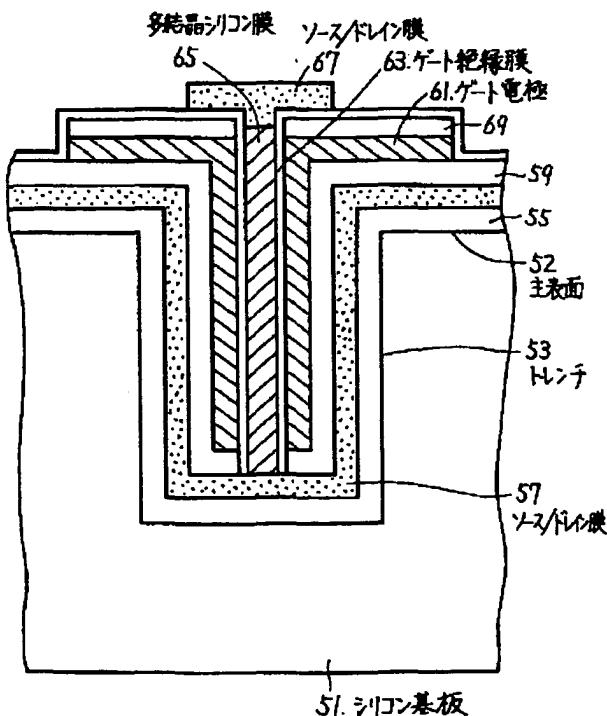
(21)出願番号 特願平4-11412	(71)出願人 000008013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日 平成4年(1992)1月24日	(72)発明者 塘一仁 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
	(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 電界効果トランジスタおよびその製造方法

(57)【要約】

【構成】 シリコン基板51の主表面52に設けられたトレンチ53内には、チャネルとなる多結晶シリコン膜65がある。多結晶シリコン膜65の周囲にはゲート絶縁膜63がある。ゲート絶縁膜63の周囲にはゲート電極61がある。ゲート電極61の周囲にはシリコン酸化膜59がある。シリコン酸化膜59の周囲にはソース/ドレイン膜57がある。ソース/ドレイン膜57の周囲にはシリコン酸化膜53がある。ソース/ドレイン膜57は多結晶シリコン膜65と電気的に接続している。ソース/ドレイン膜57は多結晶シリコン膜65と電気的に接続している。

【効果】 多結晶シリコン膜65はトレンチ53の深さ方向に沿って延びているので、チャネル長を短チャネル効果が起きない寸法にすることが可能となる。また多結晶シリコン膜65をチャネルとしているので、エピタキシャル層をチャネルにする場合に比べ製造時間を短縮することができる。



【特許請求の範囲】

【請求項1】 半導体基板の主表面上に設けられた穴部に形成された電界効果トランジスタであって、前記穴部内に位置し、かつ前記穴部の深さ方向に沿って延び、前記主表面側に位置する第1端部と前記穴部の底側に位置する第2端部とを備え、チャネルとなる第1多結晶シリコン膜と、前記穴部内に位置し、かつ前記穴部の深さ方向に沿って延び、ゲート絶縁膜を間に挟んで前記第1多結晶シリコン膜と対向しているゲート電極と、前記穴部内であって、前記第1多結晶シリコン膜および前記ゲート電極の周囲に位置し、前記穴部の深さ方向に沿って延び、前記第1多結晶シリコン膜の第2端部と電気的に接続している第1ソース／ドレイン膜と、前記穴部内に位置し、前記第1ソース／ドレイン膜と前記ゲート電極とを電気的に絶縁する第1絶縁膜と、前記穴部内に位置し、前記第1ソース／ドレイン膜と前記半導体基板とを電気的に絶縁する第2絶縁膜と、前記主表面上に位置し、前記第1多結晶シリコン膜の第1端部と電気的に接続している第2ソース／ドレイン膜と、を備えた電界効果トランジスタ。

【請求項2】 半導体基板の主表面上に設けられた穴部に形成された電界効果トランジスタの製造方法であって、前記穴部を形成する工程と、前記穴部が完全に埋まらないように、前記穴部の側面と底面とに第1絶縁膜、第1ソース／ドレインとなる第1多結晶シリコン膜、第2絶縁膜、第2多結晶シリコン膜を順に形成する工程と、前記第2多結晶シリコン膜上にレジストを形成し、前記レジストに所定のパターニングを施す工程と、前記レジストをマスクとして、前記第2多結晶シリコン膜をエッチングし、ゲート電極を形成し、かつ前記底面上に位置している第2絶縁膜を露出させる工程と、前記レジストをマスクとして露出している前記第2絶縁膜をエッチングし、露出している第2絶縁膜下に位置している前記第1多結晶シリコン膜を露出させる工程と、前記穴部が完全に埋まらないように、前記ゲート電極と前記第1多結晶シリコン膜とで形成される空間内にゲート絶縁膜を形成する工程と、前記底面上に位置しているゲート絶縁膜を除去し、前記第1多結晶シリコン膜を露出させる工程と、前記ゲート絶縁膜と露出している前記第1多結晶シリコン膜とで形成される空間が埋まるように、チャネルとなる第3多結晶シリコン膜を形成する工程と、前記主表面上であって、前記第3多結晶シリコン膜と電気的に接続するよう第2ソース／ドレインとなる第4多結晶シリコン膜を形成する工程と、を備えた電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は電界効果トランジスタに関するものであり、特に、Static Random Access Memory(以下「SRAM」という)に用いられる電界効果トランジスタおよびその製造方法に関するものである。

【0002】

【従来の技術】SRAMは、電源が印加されている限り記憶内容が保持されるRAMである。SRAMはDRAM(Dynamic Random Access Memory)と比較してリフレッシュ回路が不要で、かつ高速性に優れているという利点を有している。図36は、SRAMの等価回路図である。インバータ1とインバータ3とでフリップフロップ回路を構成している。アクセストランジスタ5の一方のソース／ドレインは接続部Bでフリップフロップ回路に接続している。アクセストランジスタ5の他方のソース／ドレインはBLと接続している。アクセストランジスタ7の一方のソース／ドレインは接続部Aでフリップフロップ回路に接続している。アクセストランジスタ7の他方のソース／ドレインは／BLと接続している。インバータ1、3、アクセストランジスタ5、7でメモリセルを構成している。WLは、アクセストランジスタ5、7のゲートと接続している。

【0003】書込動作について説明する。“H”の状態を記憶する場合について説明する。まず、BLを“H”的状態にセットし、／BLを“L”的状態にセットする。WLに電圧を印加し、アクセストランジスタ5、7をONにする。BLが“H”的状態だから接続部Bも“H”的状態となる。また、／BLが“L”的状態だから接続部Aも“L”的状態となる。そして、WLに印加された電圧を排除し、アクセストランジスタ5、7をOFFにする。接続部Bは“H”的状態だからインバータ3によって“L”的状態にされる。したがって接続部Aは“L”的状態となる。また、接続部Aは“L”的状態だからインバータ1によって“H”的状態にされる。したがって接続部Bは“H”的状態となる。つまり、接続部Bは“H”的状態に保持され、接続部Aは“L”的状態に保持される。

【0004】次に読出動作について説明する。WLに電圧を印加し、アクセストランジスタ5、7をONにする。接続部Bが“H”的状態なので、BLは“H”的状態となる。また、接続部Aは“L”的状態なので、／BLは“L”的状態となる。しかし、“H”と“L”との差はあまり大きくなく、BLが“H”的状態にあることを確実に判断するため、BLの電圧と／BLの電圧とをセンサアンプで比較する。その結果BLの電圧>／BLの電圧と判定される。BLの電圧>／BLの電圧なので、BLは“H”的状態にあることがわかる。したがって、この記憶回路には“H”が記憶されていたことがわ

かる。

【0005】次にインバータについて説明する。図37はインバータ1の等価回路図である。9がPMOSトランジスタであり、11がNMOSトランジスタである。 V_{in} が“H”的とき、PMOSトランジスタ9はOFF状態、NMOSトランジスタ11はON状態で、 V_{out} は“L”状態にある。逆に、 V_{in} が“L”的ときには、PMOSトランジスタ9はON状態、NMOSトランジスタ11はOFF状態で、 V_{out} は“H”的状態となる。

【0006】図38は、インバータ1の出力をインバータ3の入力に接続し、インバータ1の入力をインバータ3の出力に接続した状態を示す等価回路図である。この回路はフリップフロップ回路を構成している。インバータ3は、PMOSトランジスタ13、NMOSトランジスタ15を備えている。25はPMOSトランジスタ13のゲート電極である。21はアクセストランジスタ7のゲート電極である。17はNMOSトランジスタ11のゲート電極である。

【0007】図38を見ればわかるように、SRAMのメモリセルは2つのPMOSトランジスタと4つのNMOSトランジスタを備えている。これらすべてのトランジスタを同一平面すなわちシリコン基板の主表面に形成すると集積度が低くなる。したがって、NMOSトランジスタの上にPMOSトランジスタが位置する構造にしている。

【0008】図39はSRAMのメモリセルの断面図である。図38中の符号が示すものと同一のものについては同一番号を付してある。シリコン基板22の主表面24には、アクセストランジスタ7とNMOSトランジスタ11とが形成されている。アクセストランジスタ7は、ゲート電極21とシリコン基板22中に間を隔てて形成されたソース／ドレイン19、23とを備えている。17はNMOSトランジスタ11のゲート電極である。NMOSトランジスタ11のソース／ドレインはこの図面には現われていない。35はフィールド酸化膜である。

【0009】ゲート電極17上には層間絶縁膜33が形成されている。層間絶縁膜33上にはゲート電極25が形成されている。ゲート電極25を覆うように多結晶シリコン膜31が形成されている。多結晶シリコン膜31のうちゲート電極25と対向する部分がチャネル領域28となっている。多結晶シリコン膜31には、チャネル領域28を挟むようにソース／ドレイン領域27、29がある。多結晶シリコン膜31およびゲート電極17はソース／ドレイン領域19と電気的に接続されている。

【0010】図40は図39に示すPMOSトランジスタ13の平面図である。25はゲート電極を示し、27、29はソース／ドレイン領域を示している。図39に示すPMOSトランジスタ13の製造方法を以下に説

明する。図39中の符号が示すものと同一のものについては同一符号を示してある。図41に示すように層間絶縁膜33上に減圧CVD (Chemical Vapour Deposition) 法を用いて多結晶シリコン膜を形成する。そしてこの多結晶シリコン膜をフォトリソグラフィとエッチングとを用いて加工しゲート電極25にする。

【0011】図42に示すように、ゲート電極25上に減圧CVD法を用いてゲート絶縁膜37を形成する。ゲート絶縁膜37上に減圧CVD法を用いて多結晶シリコン膜31を形成する。

【0012】図43に示すように、多結晶シリコン膜31上にレジスト39を形成する。このレジスト39に所定のパターニングを施す。そしてこのレジスト39をマスクとして、多結晶シリコン膜31中にBF₂を注入する。

【0013】図44に示すように、レジスト39を除去する。そして、加熱することによって多結晶シリコン膜31中にBF₂中のボロンを適度に拡散させ、ソース／ドレイン領域27、29を形成する。28がチャネル領域である。

【0014】 $L_1 + L_2 + L_3$ がチャネル長である。SRAMの高集積化によりチャネル長が短くなる傾向にある。チャネル長が短いと短チャネル効果という電界効果トランジスタ特性劣化の原因となる現象が生じる。

【0015】この問題を解決するために図45に示す電界効果トランジスタが考え出された。この電界効果トランジスタは、IEDM89-425～428のA0.5μm BiCMOS Technology for Logic and 4Mbit-class SRAM'sに開示されている。

【0016】半導体基板40とエピタキシャル成長層42とに設けられたトレンチ41にはトランジスタ44のゲート電極47が埋込まれている。エピタキシャル成長層42には、ソース／ドレイン領域43が形成されている。また、シリコン基板40にはN⁺埋込層であるソース／ドレイン領域45が形成されている。電界効果トランジスタ44はトレンチ41の深さ方向にチャネル領域を形成している。Lがチャネル長を示している。エピタキシャル層42の厚みを大きくすれば、ゲート長Lを電界効果トランジスタ44が短チャネル効果を起こさない寸法にすることができる。

【0017】

【発明が解決しようとする課題】図45に示すトランジスタ44は、半導体基板40にソース／ドレイン領域45を形成し、その後半導体基板40上にエピタキシャル成長層42を形成し、エピタキシャル成長層42にトレンチ41を形成することにより作製する。

【0018】しかし、エピタキシャル成長層形成には時間がかかるので、このトランジスタ44の製造には長時

間を要した。

【0019】この発明はかかる従来の問題点を解決するためになされたものである。この発明の目的は、短チャネル効果を防止でき、かつ製造時間を短縮できる構造をした電界効果トランジスタおよびその製造方法を提供することである。

【0020】

【課題を解決するための手段】この発明は、半導体基板の主表面に設けられた穴部に形成された電界効果トランジスタに関するものである。この発明に従った電界効果トランジスタは、主表面側に位置する第1端部と穴部の底側に位置する第2端部とを備え、チャネルとなる第1多結晶シリコン膜を備えている。第1多結晶シリコン膜は、穴部内に位置し、かつ穴部の深さ方向に沿って延びている。この発明に従った電界効果トランジスタは、さらに穴部内に位置し、かつ穴部の深さ方向に沿って延び、ゲート絶縁膜を間に挟んで前記第1多結晶シリコン膜と対向しているゲート電極を備えている。この発明に従った電界効果トランジスタはさらに、第1多結晶シリコン膜の第2端部と電気的に接続している第1ソース／ドレイン膜を備えている。第1ソース／ドレイン膜は穴部内であって、導電膜およびゲート電極の周囲に位置し、穴部の深さ方向に沿って延びている。この発明に従った電界効果トランジスタは、さらに穴部内に位置し、第1ソース／ドレイン膜とゲート電極とを電気的に絶縁する第1絶縁膜と、穴部内に位置し、第1ソース／ドレイン膜と半導体基板とを電気的に絶縁する第2絶縁膜と、主表面上に位置し、第1多結晶シリコン膜の第1端部と電気的に接続している第2ソース／ドレイン膜とを備えている。

【0021】この発明に従った電界効果トランジスタの製造方法は、半導体基板の主表面に穴部を形成する工程と、穴部が完全に埋まらないように、穴部の側面と底面とに第1絶縁膜、第1ソース／ドレインとなる第1多結晶シリコン膜、第2絶縁膜、第2多結晶シリコン膜を順に形成する工程と、第2多結晶シリコン膜上にレジストを形成し、レジストに所定のパターニングを施す工程と、レジストをマスクとして、第2多結晶シリコン膜をエッチングし、ゲート電極を形成し、かつ底面上に位置している第2絶縁膜を露出させる工程と、レジストをマスクとして露出している第2絶縁膜をエッチングし、露出している第2絶縁膜下に位置している第1多結晶シリコン膜を露出させる工程と、穴部が完全に埋まらないようにゲート電極と第1多結晶シリコン膜とで形成される空間内にゲート絶縁膜を形成する工程と、底面上に位置しているゲート絶縁膜を除去し、第1多結晶シリコン膜を露出させる工程と、ゲート絶縁膜と露出している第1多結晶シリコン膜とで形成される空間が埋まるように、チャネルとなる第3多結晶シリコン膜を形成する工程と、主表面上であって、第3多結晶シリコン膜と電気的

に接続するように第2ソース／ドレインとなる第4多結晶シリコン膜を形成する工程と、を備えている。

【0022】

【作用】半導体基板の主表面に設けられた穴部にチャネルとなる第1多結晶シリコン膜を形成している。この第1多結晶シリコン膜は穴部の深さ方向に沿って延びているので、チャネル長を短チャネル効果が起きない寸法にすることが可能となる。

【0023】また、第1多結晶シリコン膜をチャネルとしているので、チャネルはCVD法等で形成できる。したがって、エピタキシャル層をチャネルにする場合に比べ製造時間を短縮できる。

【0024】

【実施例】(第1実施例) 図1はこの発明に従った電界効果トランジスタの第1実施例の断面図である。シリコン基板51の主表面52にはトレチ53が形成されている。チャネルとなる多結晶シリコン膜65は、トレチ53内に位置している。多結晶シリコン膜65はトレチ53の深さ方向に沿って延びている。

【0025】ゲート絶縁膜63はトレチ53内にあり、多結晶シリコン膜65の周囲に形成されている。ゲート電極61はトレチ53内に位置し、ゲート絶縁膜63の周囲に形成されている。

【0026】シリコン酸化膜59はトレチ53内に位置し、ゲート電極61の周囲に形成されている。ソース／ドレイン膜57はトレチ53内に位置し、シリコン酸化膜59の周囲に形成されている。ソース／ドレイン膜57は多結晶シリコン膜65と電気的に接続されている。ソース／ドレイン膜57がソース／ドレインとなる。

【0027】シリコン酸化膜55はトレチ53内に位置し、ソース／ドレイン膜57の周囲に形成されている。ソース／ドレイン膜67は主表面52上に位置し、多結晶シリコン膜65と電気的に接続されている。この実施例ではゲート電極の内側にチャネルが位置する構造であるが、チャネルの内側にゲート電極が位置する構造にしてもよい。

【0028】図1に示す電界効果トランジスタの製造方法を以下に説明する。図2に示すように、シリコン基板51にフォトリソグラフィとエッチングとを用いてトレチ53を形成した。トレチ53の深さL₁は1.5μm、幅L₂は1.35μm、奥行きは0.6μmにした。

【0029】次に図3に示すように、熱酸化法を用いてシリコン基板51の主表面52上、トレチ53の側面58上およびトレチ53の底面60上にシリコン酸化膜55を形成した。シリコン酸化膜55の厚みは100nmにした。シリコン酸化膜55上に減圧CVD法を用いて多結晶シリコン膜56を形成した。多結晶シリコン膜56の厚みは200nmにした。

【0030】図4に示すように、多結晶シリコン膜56にBF₃をイオン注入し、熱処理によって活性化し図5に示すようにソース／ドレイン膜57とした。ソース／ドレイン膜57をフォトリソグラフィとエッティングを用いて所望の形状に加工した。

【0031】図6に示すように、ソース／ドレイン膜57上に減圧CVD法を用いてシリコン酸化膜59を形成した。シリコン酸化膜59の厚みは100nmにした。次にシリコン酸化膜59上に減圧CVD法を用いて厚さ100μmの多結晶シリコン膜61を形成した。この多結晶シリコン膜61はゲート電極となる。多結晶シリコン膜61の上に減圧CVD法を用いて厚さ100nmのシリコン酸化膜69を形成した。シリコン酸化膜69上にレジスト71を形成し、レジスト71に所定のパターニングを施した。

【0032】図7に示すように、レジスト71をマスクにして、シリコン酸化膜69をフッ化水素を用いてエッティングした。

【0033】図8に示すように、レジスト71をマスクにして多結晶シリコン膜61、シリコン酸化膜59を異方性エッティングを用いてエッティングし、ソース／ドレイン膜57を露出させた。

【0034】図9に示すように、ゲート電極61上に減圧CVD法を用いて厚さ25nmのゲート絶縁膜63を形成した。

【0035】図10に示すように、主表面52全面にレジスト73を形成し、レジスト73に所定のパターニングを施した。レジスト73をマスクにしてゲート絶縁膜63をエッティングし、トレンチ53の底面60側にあるソース／ドレイン膜57を露出させた。

【0036】図11に示すように、主表面52上全面に減圧CVD法を用いて厚さ150nmの多結晶シリコン膜65を形成した。これによりトレンチ53が完全に埋込まれた状態になった。

【0037】図12に示すように、多結晶シリコン膜65を等方性エッティングによってエッティングし、トレンチ53内の多結晶シリコン膜65のみ残した。

【0038】図13に示すように、主表面52全面に減圧CVD法を用いて厚さ200nmの多結晶シリコン膜75を形成した。そして多結晶シリコン膜75にBF₃をイオン注入し、熱処理によって活性化し図14に示すように、ソース／ドレイン膜67にした。

【0039】図15に示すように、ソース／ドレイン膜67をフォトリソグラフィとエッティングとを用いて所望の形状に加工した。

【0040】(第2実施例)図16はこの発明に従った電界効果トランジスタの第2実施例の断面図である。図1中の符号が示すものと同一のものについては同一番号を付してある。この第2実施例はソース／ドレイン膜67をLDD(Lightly Doped Drain)

構造にしている。すなわち、ソース／ドレイン膜67は高濃度ソース／ドレイン膜77と低濃度ソース／ドレイン膜79とからなる。この発明に従った電界効果トランジスタの第2実施例はLDD構造にしているので、短チャネル効果をさらに抑制することができる。

【0041】この発明に従った電界効果トランジスタの第2実施例の製造方法を以下に説明する。図11に示す工程までは第1実施例と同じである。多結晶シリコン膜65を等方性エッティングを用いて全面エッティングし図17に示す状態にした。溝の深さl₁が0.6μmになるようにエッティング時間を制御した。

【0042】図18に示すように、減圧CVD法を用いて厚さ150nmの多結晶シリコン膜81を堆積した。多結晶シリコン膜81にBF₃をイオン注入し、熱処理により活性化し低濃度ソース／ドレイン膜79にした。図19に示すように、低濃度ソース／ドレイン膜79を全面エッティングによって所望の形状に加工した。

【0043】図20に示すように、主表面52全面に減圧CVD法を用いて厚さ200nmの多結晶シリコン膜83を形成した。そして多結晶シリコン膜83にBF₃をイオン注入し、熱処理によって活性化し高濃度ソース／ドレイン膜77にした。そして高濃度ソース／ドレイン膜77をフォトリソグラフィとエッティングを用いて図16に示す形状に加工した。

【0044】(第3実施例)図21はこの発明に従った電界効果トランジスタの第3実施例の断面図である。p型電界効果トランジスタ9とn型電界効果トランジスタ11とでCMOS(Complementary MOS)インバータを構成している。図1中の符号が示すものと同一のものについては同一番号を付してある。したがってp型電界効果トランジスタ9の詳細な説明は省略する。

【0045】n型電界効果トランジスタ11は、シリコン基板51に間を隔てて形成されたソース／ドレイン領域85とソース／ドレイン領域87とを備えている。p型電界効果トランジスタ9のゲート電極61はn型電界効果トランジスタ11のゲート電極にもなっている。

【0046】ソース／ドレイン膜57とソース／ドレイン領域85との接合部にはシリサイド膜89が設けられている。ソース／ドレイン膜57はp型である。ソース／ドレイン領域85はn型である。したがってソース／ドレイン膜57とソース／ドレイン領域85とを直接接合するとpn接合となり、この部分がダイオードになってしまふ。これを防ぐためにシリサイド膜89を設けているのである。

【0047】このCMOSインバータの等価回路図が図37である。図21と図37を参照して、ソース／ドレイン膜67は電源線(V_{dd})およびp型電界効果トランジスタ9のソースとして用いる。多結晶シリコン膜61はp型電界効果トランジスタ9のゲート電極およびn

型電界効果トランジスタ11のゲート電極として用いる。ソース／ドレイン膜57はp型電界効果トランジスタ9のドレインとなる。ソース／ドレイン領域85はn型電界効果トランジスタ11のドレインとなる。ソース／ドレイン領域87はn型電界効果トランジスタ11のソースとなる。ソース／ドレイン領域87は接地されている。

【0048】(第4実施例)図22はSRAMのメモリセルの等価回路図である。このメモリセルは、n型のトランジスタであるアクセストランジスタ5、7、PMOSトランジスタ9、13、NMOSトランジスタ11、15を備えている。図23は図22に示すSRAMのメモリセルの概略平面図である。図23をAで示す部分で切断した状態が図21である。

【0049】図22に示す等価回路図と図23に示す概略平面図との対応関係を以下説明する。図24の///の部分が図25のハッチングの部分に対応している。図26の////の部分が図27のハッチングの部分に対応している。図28の////の部分が図29のハッチングの部分に対応している。図30の////の部分が図31のハッチングの部分に対応している。図32の////の部分が図33のハッチングの部分に対応している。図34の////の部分が図35のハッチングの部分に対応している。

【0050】

【発明の効果】この発明に従った電界効果トランジスタの構造によれば、チャネル長を短チャネル効果が起きない寸法にすることが可能となるとともに、製造時間を短縮することが可能となる。

【0051】また、この発明に従った電界効果トランジスタの製造方法によれば、このような電界効果トランジスタを製造することができる。

【図面の簡単な説明】

【図1】この発明に従った電界効果トランジスタの第1実施例の断面図である。

【図2】この発明に従った電界効果トランジスタの第1実施例の製造方法の第1工程を示すシリコン基板の断面図である。

【図3】この発明に従った電界効果トランジスタの第1実施例の製造方法の第2工程を示すシリコン基板の断面図である。

【図4】この発明に従った電界効果トランジスタの第1実施例の製造方法の第3工程を示すシリコン基板の断面図である。

【図5】この発明に従った電界効果トランジスタの第1実施例の製造方法の第4工程を示すシリコン基板の断面図である。

【図6】この発明に従った電界効果トランジスタの第1実施例の製造方法の第5工程を示すシリコン基板の断面図である。

【図7】この発明に従った電界効果トランジスタの第1実施例の製造方法の第6工程を示すシリコン基板の断面図である。

【図8】この発明に従った電界効果トランジスタの第1実施例の製造方法の第7工程を示すシリコン基板の断面図である。

【図9】この発明に従った電界効果トランジスタの第1実施例の製造方法の第8工程を示すシリコン基板の断面図である。

【図10】この発明に従った電界効果トランジスタの第1実施例の製造方法の第9工程を示すシリコン基板の断面図である。

【図11】この発明に従った電界効果トランジスタの第1実施例の製造方法の第10工程を示すシリコン基板の断面図である。

【図12】この発明に従った電界効果トランジスタの第1実施例の製造方法の第11工程を示すシリコン基板の断面図である。

【図13】この発明に従った電界効果トランジスタの第1実施例の製造方法の第12工程を示すシリコン基板の断面図である。

【図14】この発明に従った電界効果トランジスタの第1実施例の製造方法の第13工程を示すシリコン基板の断面図である。

【図15】この発明に従った電界効果トランジスタの第1実施例の製造方法の第14工程を示すシリコン基板の断面図である。

【図16】この発明に従った電界効果トランジスタの第2実施例の断面図である。

【図17】この発明に従った電界効果トランジスタの第2実施例の製造方法の第1工程を示すシリコン基板の断面図である。

【図18】この発明に従った電界効果トランジスタの第2実施例の製造方法の第2工程を示すシリコン基板の断面図である。

【図19】この発明に従った電界効果トランジスタの第2実施例の製造方法の第3工程を示すシリコン基板の断面図である。

【図20】この発明に従った電界効果トランジスタの第2実施例の製造方法の第4工程を示すシリコン基板の断面図である。

【図21】この発明に従った電界効果トランジスタの第3実施例の断面図である。

【図22】この発明に従った電界効果トランジスタの第3実施例を用いたSRAMのメモリセルの等価回路図である。

【図23】図22に示すSRAMのメモリセルの概略平面図である。

【図24】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図25と

対応している。

【図25】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図24と対応している。

【図26】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図27と対応している。

【図27】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図26と対応している。

【図28】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図29と対応している。

【図29】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図28と対応している。

【図30】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図31と対応している。

【図31】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図30と対応している。

【図32】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図33と対応している。

【図33】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図32と対応している。

【図34】図22と図23との対応関係を説明するためのSRAMのメモリセルの等価回路図であり、図35と対応している。

【図35】図22と図23との対応関係を説明するためのSRAMのメモリセルの概略平面図であり、図34と対応している。

【図36】SRAMのメモリセルの等価回路図である。

【図37】CMOSインバータの等価回路図である。

【図38】図36に示すSRAMのメモリセルのフリップフロップ部の詳細を示す等価回路図である。

【図39】従来のSRAMのメモリセルの一例の断面図である。

【図40】図39に示すPMOSトランジスタ13の平面図である。

【図41】図39に示すPMOSトランジスタ13の製造方法の第1工程を示す断面図である。

【図42】図39に示すPMOSトランジスタ13の製造方法の第2工程を示す断面図である。

【図43】図39に示すPMOSトランジスタ13の製造方法の第3工程を示す断面図である。

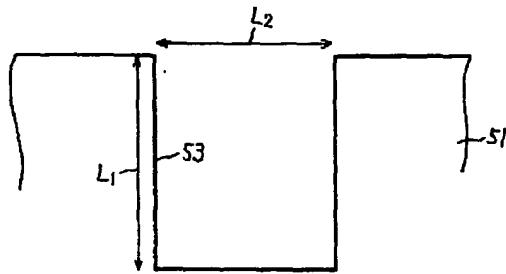
【図44】図39に示すPMOSトランジスタ13の製造方法の第4工程を示す断面図である。

【図45】従来のSRAMの他の例の断面図である。

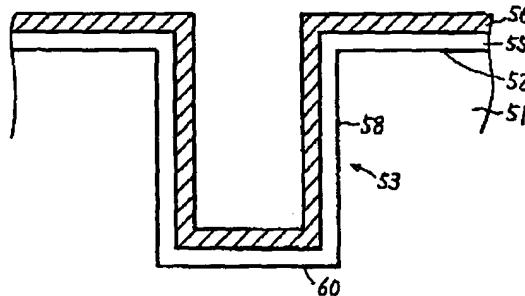
【符号の説明】

- 51 シリコン基板
- 52 主表面
- 53 トレンチ
- 55 シリコン酸化膜
- 57 ソース／ドレイン膜
- 59 シリコン酸化膜
- 61 ゲート電極
- 63 ゲート絶縁膜
- 65 多結晶シリコン膜
- 67 ソース／ドレイン膜

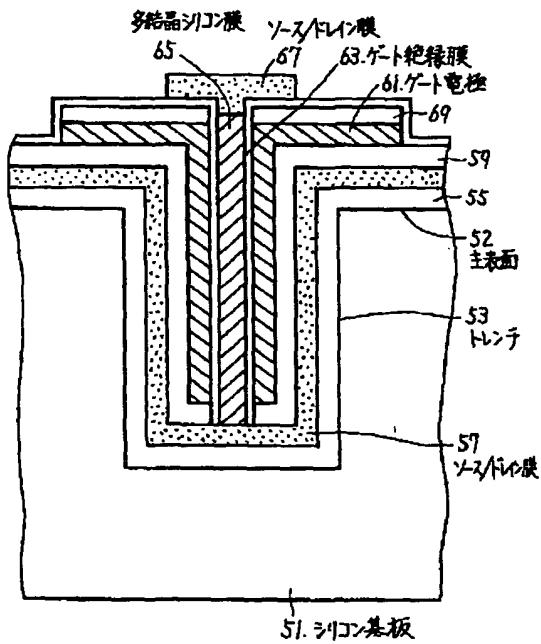
【図2】



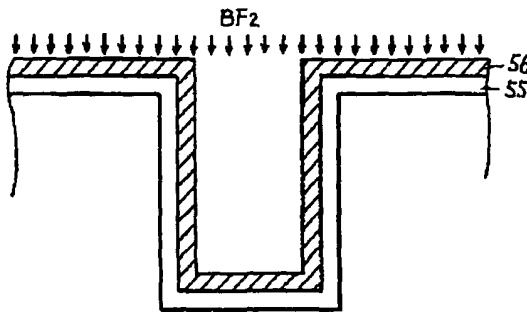
【図3】



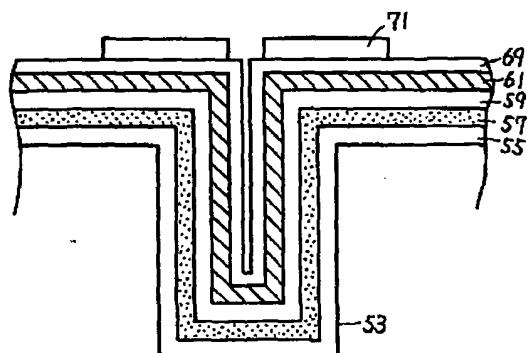
【図1】



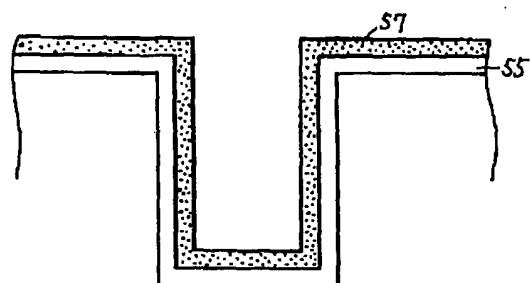
【図4】



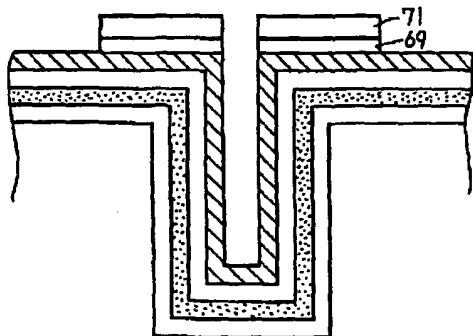
【図6】



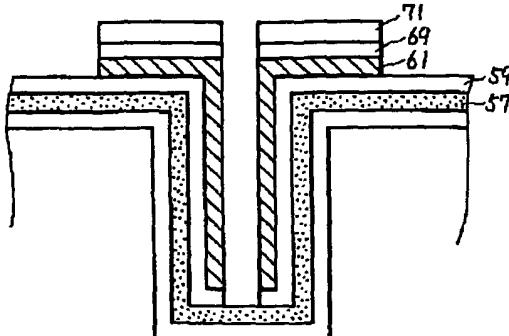
【図5】



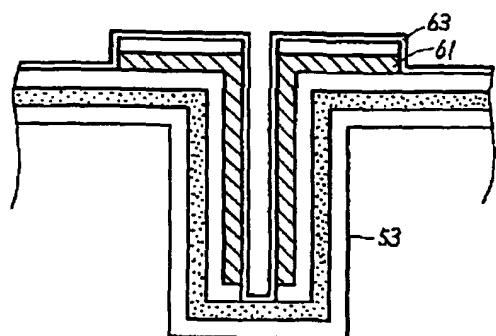
【図7】



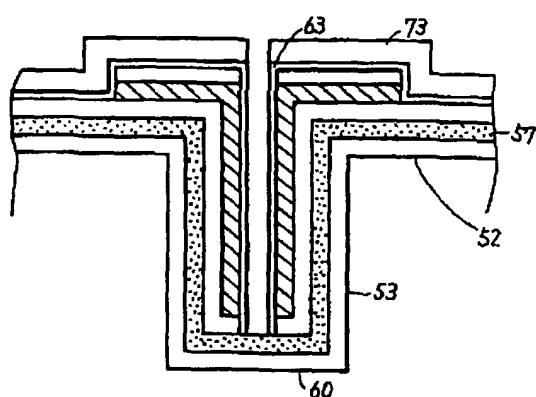
【図8】



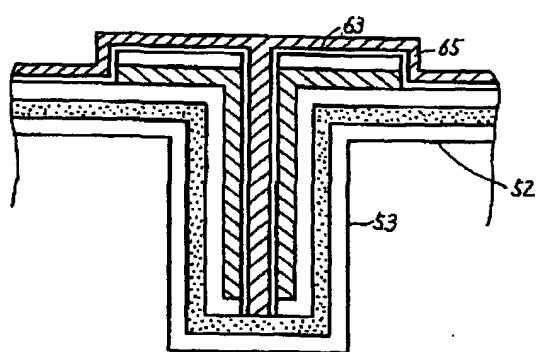
【図9】



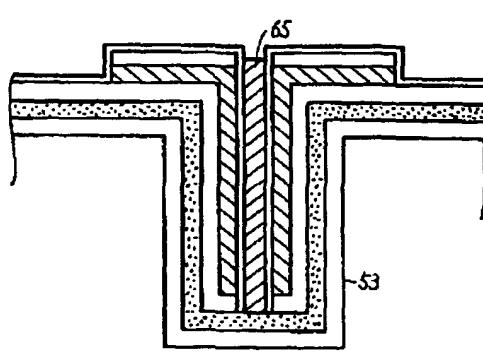
【図10】



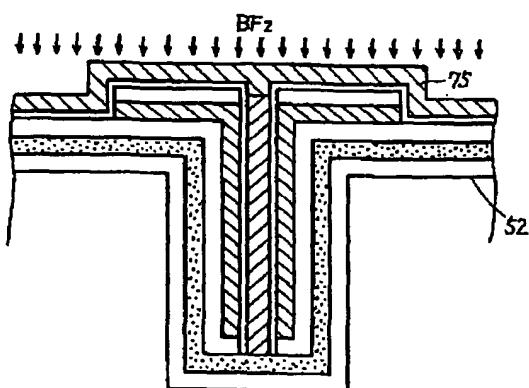
【図11】



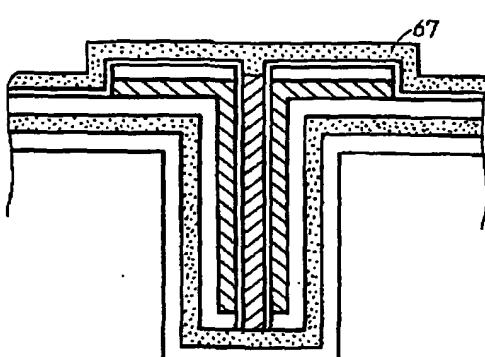
【図12】



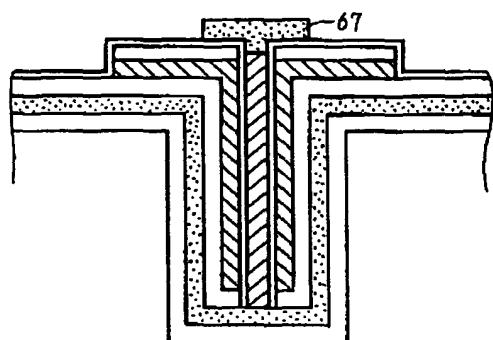
【図13】



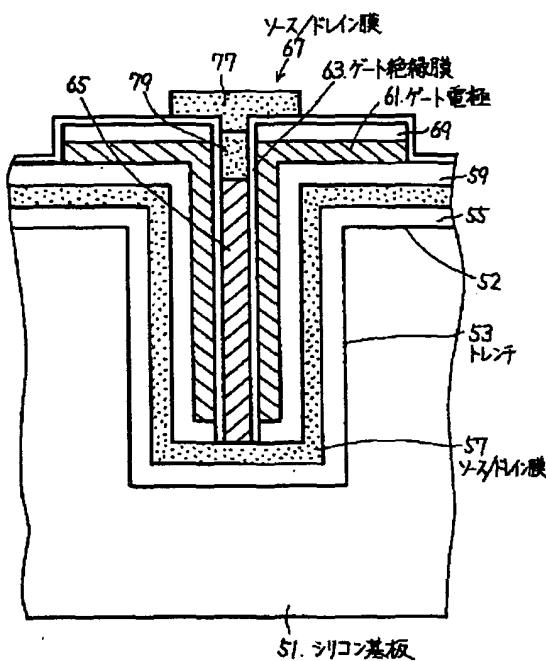
【図14】



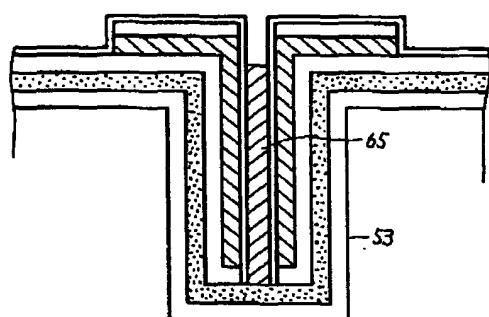
【図15】



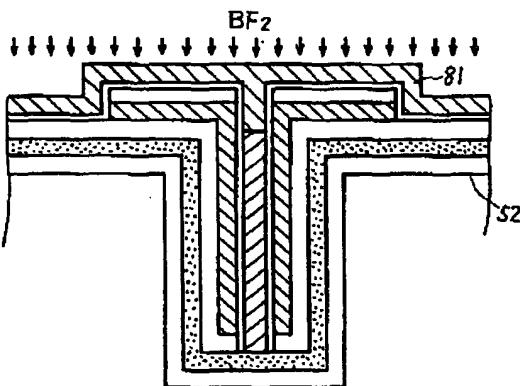
【図16】



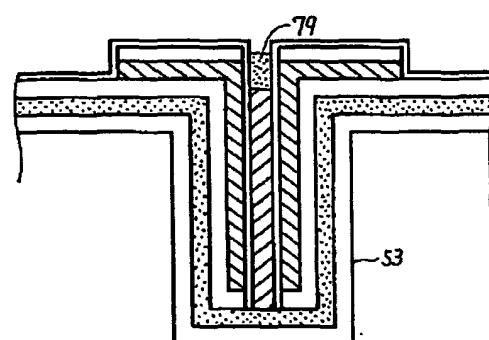
【図17】



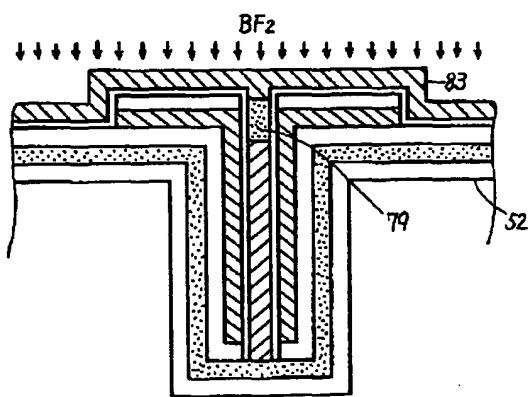
【図18】



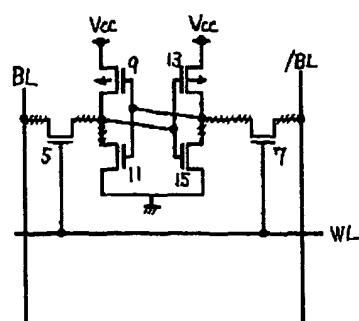
【図19】



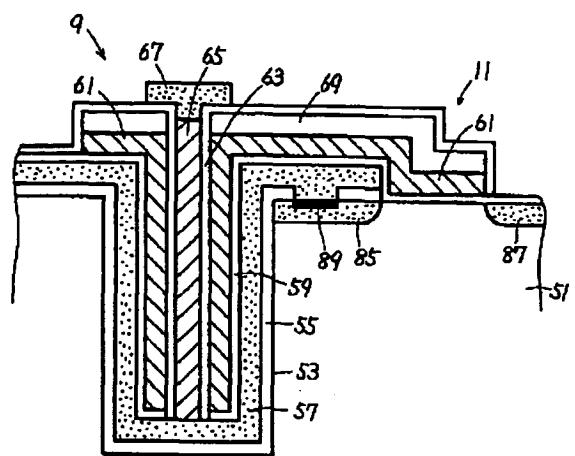
【図20】



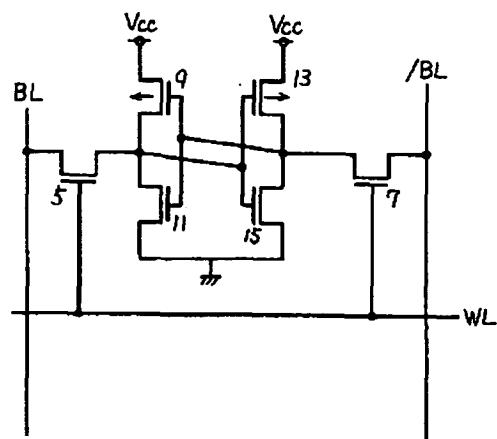
【図24】



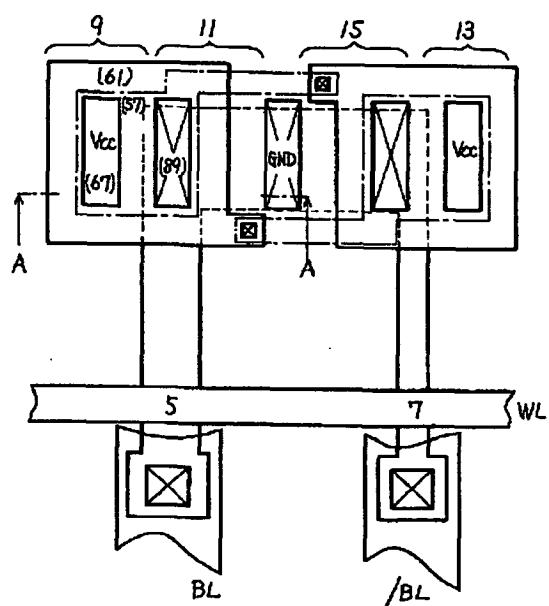
【図21】



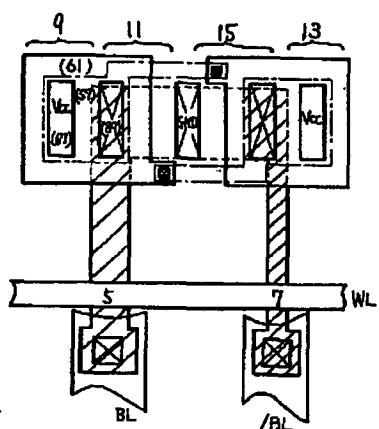
【図22】



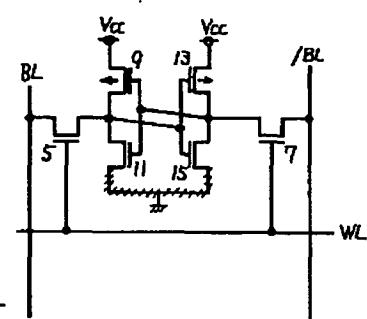
【図23】



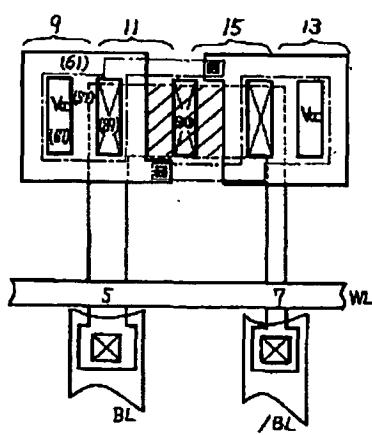
【図25】



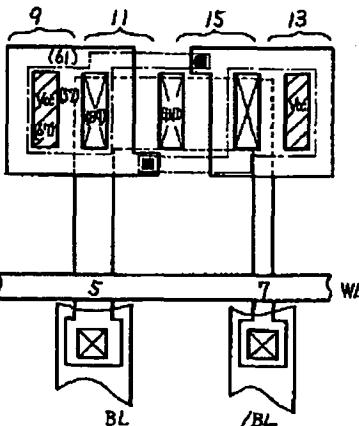
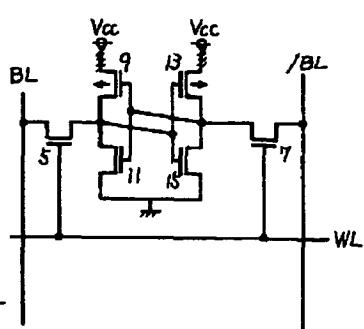
【図26】



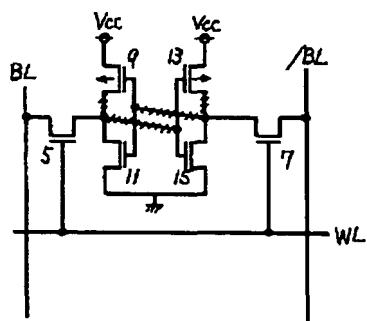
【図27】



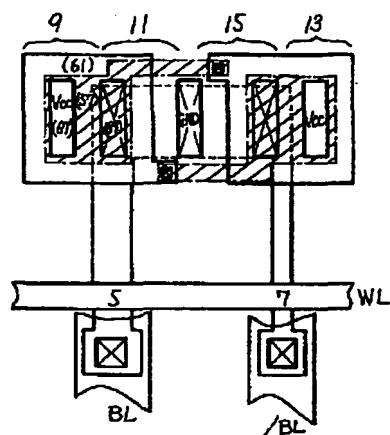
【図28】



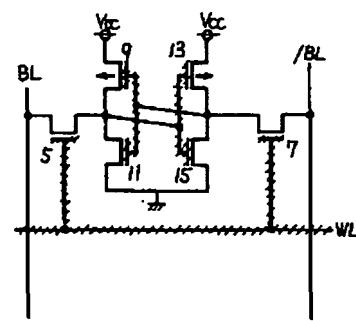
【図30】



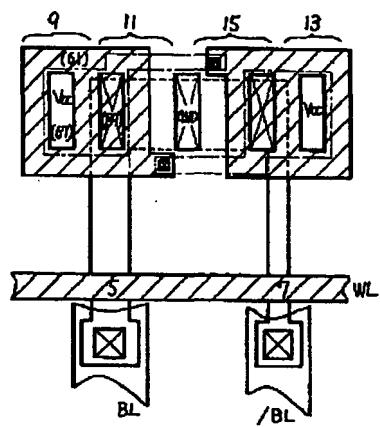
【図31】



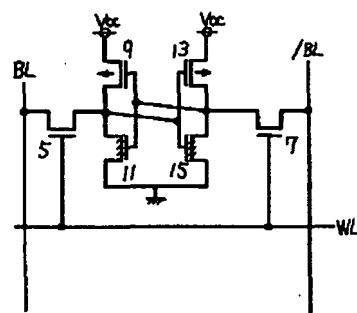
【図32】



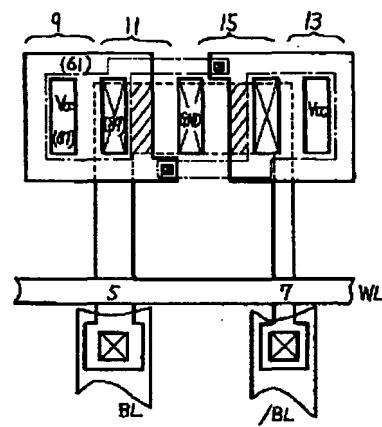
【図33】



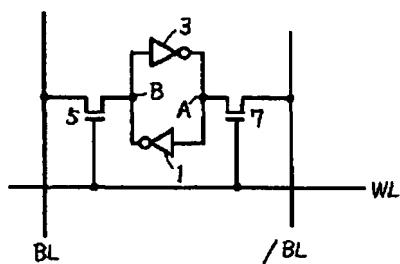
【図34】



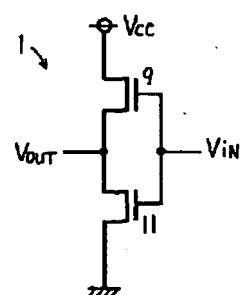
【図35】



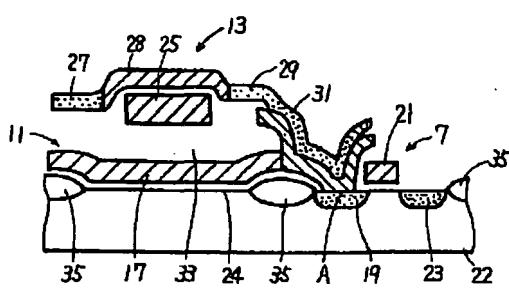
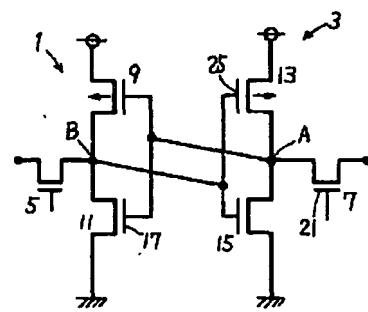
【図36】



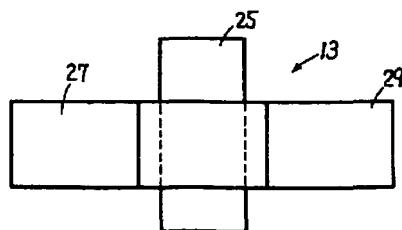
【図37】



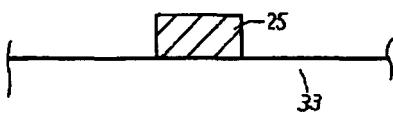
【図38】



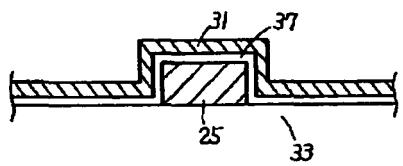
【図40】



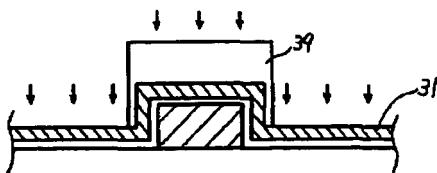
【図41】



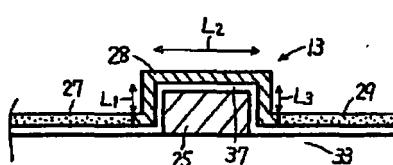
【図42】



【図43】



【図44】



【図45】

